

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-289990

(43)公開日 平成10年(1998)10月27日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 27/115  
21/76  
27/10  
21/8247  
29/788

4 8 1

H 0 1 L 27/10

4 3 4

4 8 1

21/76

L

29/78

3 7 1

審査請求 未請求 請求項の数 6 O L (全 9 頁) 最終頁に続く

(21)出願番号

特願平9-98618

(22)出願日

平成9年(1997)4月16日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 上原 隆

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 蔵 俊樹

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 瀬川 瑞樹

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 弁理士 前田 弘 (外2名)

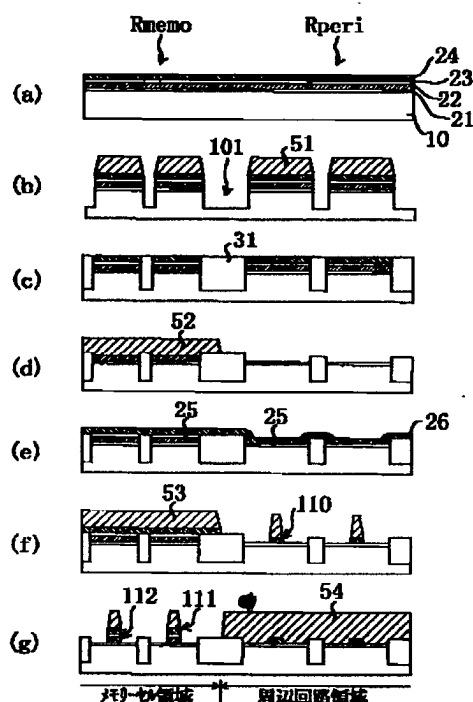
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 メモリーセル領域及び周辺回路領域を有する不揮発性メモリーの製造における工程数を低減し、かつ高密度化する。

【解決手段】 メモリーセル領域R<sub>memo</sub>と周辺回路領域R<sub>peri</sub>とを有する半導体基板10の上に、トンネル酸化膜21と浮遊ゲート電極となる多結晶シリコン膜22を堆積する。さらに、パッド酸化膜23とシリコン窒化膜24を形成した後、素子分離用の溝101を形成し、溝101を絶縁膜31で埋めてトレンチ分離を形成する。その後、不要な膜を除去してから、周辺回路領域R<sub>peri</sub>のゲート電極110と、メモリーセル領域R<sub>memo</sub>の制御ゲート電極111及び浮遊ゲート電極112とを形成する。1回の工程で各領域R<sub>memo</sub>、R<sub>peri</sub>のトレンチ分離が形成でき、下地段差がないので全体としての平坦性が良好になり、浮遊ゲート電極112がトレンチ分離に自己整合的に形成されるので、高密度化される。



## 【特許請求の範囲】

【請求項1】 トンネル絶縁膜、浮遊ゲート電極、ゲート絶縁膜及び制御ゲート電極を有する不揮発性メモリーセルを半導体基板のメモリーセル領域に配置する一方、ゲート絶縁膜及びゲート電極を有する電界効果型トランジスタを半導体基板の周辺回路領域に配置してなる半導体装置の製造方法であって、

半導体基板のメモリーセル領域と周辺回路領域とに跨るトンネル絶縁膜及び第1の導体膜を形成する第1の工程と、

トレンチ分離形成領域を開口した第1のマスク部材を用いて、上記第1の導体膜、トンネル絶縁膜及び半導体基板を選択的に除去して、素子分離用溝を形成する第2の工程と、

上記溝を絶縁膜で埋め込んでトレンチ分離を形成する第3の工程と、

上記周辺回路領域の上記第1の導体膜及び上記トンネル絶縁膜を除去する第4の工程と、

基板の全面上にゲート絶縁膜及び第2の導体膜を形成する第5の工程と、

上記第1の導体膜、上記ゲート絶縁膜及び上記第2の導体膜をパターニングして、上記メモリーセル領域に浮遊ゲート電極及び制御ゲート電極を形成する一方、上記周辺回路領域にゲート電極を形成する第6の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

上記第6の工程は、メモリーセル領域と周辺回路領域のゲート電極形成領域とを覆う第2のマスク部材を用いてエッチングを行い、第2の導体膜を選択的に除去して周辺回路領域のゲート電極を形成する工程と、

上記第2のマスク部材を除去した後、周辺回路領域とメモリーセル領域のゲート電極形成領域とを覆う第3のマスク部材を用いてエッチングを行い、第2の導体膜、ゲート絶縁膜及び第1の導体膜を順次選択的に除去してメモリーセル領域の浮遊ゲート電極及び制御ゲート電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3】 請求項1記載の半導体装置の製造方法において、

上記第6の工程は、上記第2の導体膜の上に電極保護膜を形成する工程と、メモリーセル領域及び周辺回路領域のゲート形成領域を覆う第2のマスク部材を用いてエッチングを行い、上記電極保護膜及び第2の導体膜を選択的に除去してメモリーセル領域の制御ゲート電極及び周辺回路領域のゲート電極を形成する工程と、

上記第2のマスク部材を除去した後、周辺回路領域を覆いかつメモリーセル領域を全て開口した第3のマスク部

材と上記電極保護膜の残存部とをマスクに用いてエッチングを行い、ゲート絶縁膜及び第1の導体膜を順次選択的に除去してメモリーセル領域の制御ゲート電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項4】 トンネル絶縁膜、浮遊ゲート電極、ゲート絶縁膜及び制御ゲート電極を有する不揮発性メモリーセルをメモリーセル領域に配置する一方、ゲート絶縁膜及びゲート電極を有する電界効果型トランジスタを周辺回路領域に配置してなる半導体装置の製造方法であって、

半導体基板のメモリーセル領域と周辺回路領域と跨るトンネル絶縁膜及び第1の導体膜を形成する第1の工程と、

トレンチ分離形成領域を開口した第1のマスク部材を用いて、上記第1の導体膜、トンネル絶縁膜及び半導体基板を選択的に除去して、素子分離用溝を形成する第2の工程と、

上記溝を絶縁膜で埋め込んでトレンチ分離を形成する第3の工程と、

周辺回路領域を開口し、かつメモリーセル領域の浮遊ゲート電極形成領域を覆う第2のマスク部材を用いてエッチングを行い、第1の導体膜及びトンネル絶縁膜を順次選択的に除去してメモリーセル領域の浮遊ゲート電極を形成する第4の工程と、

上記第2のマスク部材を除去した後、基板の全面上にゲート絶縁膜及び第2の導体膜を形成する第5の工程と、上記第2の導体膜をパターニングして、ゲート絶縁膜を介して浮遊ゲート電極及び半導体基板に跨るメモリーセル領域の制御ゲート電極と、周辺回路領域のゲート電極とを形成する第6の工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項5】 請求項1-3のいずれか1つに記載の半導体装置の製造方法において、

上記第5の工程では、基板の全面上に第1のゲート絶縁膜を形成した後、上記周辺回路領域の上記第1のゲート絶縁膜の厚みの少なくとも一部を選択的に除去してから、その後基板の全面上に第2のゲート絶縁膜を形成した後、上記第2の導体膜を形成することを特徴とする半導体装置の製造方法。

【請求項6】 請求項1-5のいずれか1つに記載の半導体装置の製造方法において、

上記第1の工程の後上記第2の工程の前に、上記第1の導体膜の上に、エッチングストップ膜を形成しておくことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、浮遊ゲート及び制御ゲートを備えた不揮発性メモリーを内蔵する半導体装置の製造方法に関するものである。

10

20

30

40

50

## 【0002】

【従来の技術】近年、システム機器の価格低下及び商品サイクルの短期間化にともない、システム開発担当者が自由にプログラムを書き込み・消去が可能なフラッシュメモリーの需要が増大している。また、システム機器が扱うプログラムやデータの大容量化にともない、占有面積を増大することなくメモリー容量を大規模化する必要が生じている。

【0003】ここで、従来より、例えば特開平2-21657号公報、特開平2-163964号公報、特開平3-295276号公報等に開示されているように、フラッシュメモリーのセル面積を縮小するための半導体装置の製造方法が種々提案されている。

【0004】上記従来方法によると、たとえば以下の手順によって半導体装置を形成するようにしている。

【0005】初めに周辺回路領域にLOCOS分離膜を形成した後、トンネル酸化膜及び浮遊ゲート電極をメモリーセル領域に選択的に形成する。その後、リソグラフィ及びエッチングによりメモリーセル領域内に素子分離用の溝を形成し、絶縁膜を基板の全面上に堆積した後平坦化することにより、絶縁膜を溝に埋め込んでトレンチ分離を形成する。その後、ゲート酸化膜及びゲート電極膜を全面に形成し、リソグラフィ及びエッチングにより、メモリーセル領域の浮遊ゲート電極及び制御ゲート電極と、周辺回路領域のゲート電極とを形成する。すなわち、メモリーセル領域にトレンチ分離を形成することによって、メモリーセルの微細化を可能とし、メモリー容量の増大に伴う占有面積の増大を抑制するようにしている。

【0006】また、以下のような方法も採られている。初めに周辺回路領域にLOCOS分離膜を形成した後、トンネル酸化膜及び浮遊ゲート電極をメモリーセル領域に選択的に形成する。その後、ゲート酸化膜及びゲート電極膜を全面に形成し、リソグラフィ及びエッチングによりメモリーセル領域内に素子分離用の溝を形成し、絶縁膜を基板の全面上に堆積した後平坦化することにより、絶縁膜を溝に埋め込んでトレンチ分離を形成する。その後、リソグラフィ及びエッチングにより、メモリーセル領域の浮遊ゲート電極及び制御ゲート電極と、周辺回路領域のゲート電極とを形成する。このように、素子分離を浮遊ゲート電極に自己整合的に形成することにより、セル面積の縮小を図るものである。

## 【0007】

【発明が解決しようとする課題】しかしながら、上記従来方法の方法では以下のような問題があった。

【0008】上記従来製造方法のうち前者の方法では、後者の方法のごとく浮遊ゲート電極とトレンチ分離とを自己整合的に形成できないために、メモリーセル領域の高密化を十分に進めることができない。

【0009】一方、後者の方法は、メモリーセル領域の

高密度化には有効な方法であるが、トレンチ分離を形成するための平坦化工程において、周辺回路領域のLOCOS分離膜の膜減りを生じないように平坦化を行うことは困難であり、その結果、基板全体の平坦性を良好に維持できない。

【0010】また、いずれの方法においても、周辺回路領域とメモリーセル領域とで素子分離を形成するための工程が個別に必要であるという無駄が生じていた。

【0011】本発明はかかる点に鑑みてなされたものであり、その目的は、不揮発性メモリーセルを有する半導体装置の製造方法として、メモリーセル領域だけでなく周辺回路領域にもトレンチ分離を形成することにより、半導体装置全体の平坦性を良好に保持し、工程数を低減しながら半導体装置全体としての高密度化を図ることにある。

## 【0012】

【課題を解決するための手段】上記目的を達成するために、本発明では、請求項1〜6に記載されている半導体装置の製造方法に関する手段を講じている。

【0013】本発明の第1の半導体装置の製造方法は、請求項1に記載されているように、トンネル絶縁膜、浮遊ゲート電極、ゲート絶縁膜及び制御ゲート電極を有する不揮発性メモリーセルを半導体基板のメモリーセル領域に配置する一方、ゲート絶縁膜及びゲート電極を有する電界効果型トランジスタを半導体基板の周辺回路領域に配置してなる半導体装置の製造方法であって、半導体基板のメモリーセル領域と周辺回路領域とに跨るトンネル絶縁膜及び第1の導体膜を形成する第1の工程と、トレンチ分離形成領域を開口した第1のマスク部材を用いて、上記第1の導体膜、トンネル絶縁膜及び半導体基板を選択的に除去して、素子分離用溝を形成する第2の工程と、上記溝を絶縁膜で埋め込んでトレンチ分離を形成する第3の工程と、上記周辺回路領域の上記第1の導体膜及び上記トンネル絶縁膜を除去する第4の工程と、基板の全面上にゲート絶縁膜及び第2の導体膜を形成する第5の工程と、上記第1の導体膜、上記ゲート絶縁膜及び上記第2の導体膜をパターンニングして、上記メモリーセル領域に浮遊ゲート電極及び制御ゲート電極を形成する一方、上記周辺回路領域にゲート電極を形成する第6の工程とを備えている。

【0014】この方法により形成される半導体装置において、メモリーセル領域だけでなく周辺回路領域においても、LOCOS分離膜に比べて小さな間隔で高い分離機能を発揮できるトレンチ分離により各トランジスタが分離されるので、半導体装置全体としての高密度化が可能になる。また、トレンチ分離を形成する際の平坦化工程において、LOCOS膜の膜減りを考慮する必要がないので、基板全体を精度よく平坦化することができる。しかも、浮遊ゲート電極がトレンチ分離に対して自己整合的に形成されるので、マスク合わせのためのマージン

が不要となり、メモリーセル領域における高密度化を進めることができる。

【0015】請求項2に記載されているように、請求項1において、上記第6の工程に、メモリーセル領域と周辺回路領域のゲート電極形成領域とを覆う第2のマスク部材を用いてエッチングを行い、第2の導体膜を選択的に除去して周辺回路領域のゲート電極を形成する工程と、上記第2のマスク部材を除去した後、周辺回路領域とメモリーセル領域のゲート電極形成領域とを覆う第3のマスク部材を用いてエッチングを行い、第2の導体膜、ゲート絶縁膜及び第1の導体膜を順次選択的に除去してメモリーセル領域の浮遊ゲート電極及び制御ゲート電極を形成する工程とを含ませることができる。

【0016】この方法により、メモリーセル領域の制御ゲート電極と浮遊ゲート電極とが同じ第3のマスク部材を用いて形成されるので、両者のマスク合わせのためのマージンも不要となり、メモリーセル領域がさらに高密度化されることになる。

【0017】請求項3に記載されているように、請求項1において、上記第6の工程に、上記第2の導体膜の上に電極保護膜を形成する工程と、メモリーセル領域及び周辺回路領域のゲート形成領域を覆う第2のマスク部材を用いてエッチングを行い、上記電極保護膜及び第2の導体膜を選択的に除去してメモリーセル領域の制御ゲート電極及び周辺回路領域のゲート電極を形成する工程と、上記第2のマスク部材を除去した後、周辺回路領域を覆いかつメモリーセル領域を全て開口した第3のマスク部材と上記電極保護膜の残存部とをマスクに用いてエッチングを行い、ゲート絶縁膜及び第1の導体膜を順次選択的に除去してメモリーセル領域の制御ゲート電極を形成する工程とを含ませることができる。

【0018】この方法により、メモリーセル領域の浮遊ゲート電極は、実質的には制御ゲート電極と同じ第2のマスク部材を用いて形成されるので、両者のマスク合わせのためのマージンも不要となり、メモリーセル領域がさらに高密度化されることになる。

【0019】本発明の第2の半導体装置の製造方法は、請求項4に記載されているように、トンネル絶縁膜、浮遊ゲート電極、ゲート絶縁膜及び制御ゲート電極を有する不揮発性メモリーセルをメモリーセル領域に配置する一方、ゲート絶縁膜及びゲート電極を有する電界効果型トランジスタを周辺回路領域に配置してなる半導体装置の製造方法であって、半導体基板のメモリーセル領域と周辺回路領域とに跨るトンネル絶縁膜及び第1の導体膜を形成する第1の工程と、トレンチ分離形成領域を開口した第1のマスク部材を用いて、上記第1の導体膜、トンネル絶縁膜及び半導体基板を選択的に除去して、素子分離用溝を形成する第2の工程と、上記溝を絶縁膜で埋め込んでトレンチ分離を形成する第3の工程と、周辺回路領域を開口し、かつメモリーセル領域の浮遊ゲート電

極形成領域を覆う第2のマスク部材を用いてエッチングを行い、第1の導体膜及びトンネル絶縁膜を順次選択的に除去してメモリーセル領域の浮遊ゲート電極を形成する第4の工程と、上記第2のマスク部材を除去した後、基板の全面上にゲート絶縁膜及び第2の導体膜を形成する第5の工程と、上記第2の導体膜をパターンニングして、ゲート絶縁膜を介して浮遊ゲート電極及び半導体基板に跨るメモリーセル領域の制御ゲート電極と周辺回路領域のゲート電極とを形成する第6の工程とを備えている。

【0020】この方法により、チャネルホットエレクトロンを利用して浮遊ゲート電極に電荷の注入が可能な不揮発性メモリーセルを有する半導体装置についても、請求項1と同じ効果が得られる。

【0021】請求項5に記載されているように、請求項1-3のいずれか1つにおいて、上記第5の工程では、基板の全面上に第1のゲート絶縁膜を形成した後、上記周辺回路領域の上記第1のゲート絶縁膜の厚みの少なくとも一部を選択的に除去してから、その後基板の全面上に第2のゲート絶縁膜を形成した後、上記第2の導体膜を形成することができる。

【0022】この方法により、メモリーセル領域の浮遊ゲート電極-制御ゲート電極間のゲート絶縁膜は第1及び第2のゲート絶縁膜で構成され、周辺回路領域のゲート絶縁膜は第2のゲート絶縁膜のみあるいは第2のゲート絶縁膜と第1のゲート絶縁膜の一部とで構成されるので、メモリーセル領域と周辺回路領域とにおけるゲート絶縁膜の厚みを互いに異ならせることが容易となる。したがって、メモリーセル領域の制御ゲート電極と周辺回路のゲート電極とで異なる適正な厚みのゲート絶縁膜を形成することが可能となる。

【0023】請求項6に記載されているように、請求項1-5のいずれか1つにおいて、上記第1の工程の後上記第2の工程の前に、上記第1の導体膜の上に、エッチングストップ膜を形成しておくことが好ましい。

【0024】この方法により、平坦化を確実に行うことが可能になる。

【0025】

【発明の実施の形態】

(第1の実施形態) まず、第1の実施形態に係る半導体装置の製造方法について説明する。図1a~gは、本実施形態に係る半導体装置の製造工程を示す断面図である。

【0026】まず、図1aに示す工程で、メモリーセル領域R<sub>memo</sub>と周辺回路領域R<sub>peri</sub>とを有する半導体基板10の全面を酸化して厚みが約10nmのトンネル酸化膜21を形成し、第1の導体膜として厚み200nm程度の多結晶シリコン膜22を堆積する。さらに多結晶シリコン膜22の上に、多結晶シリコン膜を酸化するかCVDを行うかにより、厚みが約10nmのパッド酸化膜

23を形成し、さらに厚み約150nmのシリコン窒化膜24を形成する。

【0027】次に、図1bに示す工程で、基板上に素子分離を形成しようとする領域を開口したレジスト膜51を形成した後、シリコン窒化膜24、パッド酸化膜23、多結晶シリコン膜22、トンネル酸化膜21及び基板10を順次エッチングし、基板に深さが約300nmの素子分離用の溝101を形成する。

【0028】次に、図1cに示す工程で、レジスト膜51を除去し、基板の全面上に厚みが700nm程度の絶縁膜31を堆積した後、シリコン窒化膜24をストップパー膜として用いるCMPを行って基板の上面の平坦化を行うことにより、溝101を絶縁膜31で埋めてトレンチ分離を形成する。

【0029】次に、図1dに示す工程で、シリコン窒化膜24及びパッド酸化膜23を全て除去した後、メモリーセル領域R<sub>memo</sub>を覆うレジスト膜52を形成し、周辺回路領域R<sub>peri</sub>の多結晶シリコン膜22及びトンネル酸化膜21をエッチングにより除去する。

【0030】次に、図1eに示す工程で、基板の全面上に、少なくとも周辺回路領域R<sub>peri</sub>における厚みが約10nmのゲート絶縁膜25と、第2の導体膜としての厚みが約200nmの多結晶シリコン膜26とを順次堆積する。

【0031】その後、ゲート電極の形成は次の2ステップで行う。

【0032】まず、図1fに示す工程で、メモリーセル領域R<sub>memo</sub>を覆いかつ周辺回路領域R<sub>peri</sub>のゲート電極を形成しようとする領域を覆うレジスト膜53を形成した後、このレジスト膜53をマスクとしてエッチングを行い、周辺回路領域R<sub>peri</sub>の多結晶シリコン膜26を選択的に除去して周辺回路領域R<sub>peri</sub>のゲート電極110を形成する。

【0033】次に、図1gに示す工程で、周辺回路領域R<sub>peri</sub>を覆いかつメモリーセル領域R<sub>memo</sub>の制御ゲート電極を形成しようとする領域を覆うレジスト膜54を形成した後、このレジスト膜54をマスクとしてエッチングを行って、メモリーセル領域R<sub>memo</sub>の多結晶シリコン膜26、ゲート絶縁膜25及び多結晶シリコン膜22を順次エッチングしてメモリーセル領域R<sub>memo</sub>の制御ゲート電極111及び浮遊ゲート電極112を形成する。

【0034】その後の工程の図示は省略するが、層間絶縁膜の形成、コンタクトホール形成、配線層の形成等を行って、フラッシュメモリーを搭載した半導体装置が完成する。

【0035】本実施形態によれば、図1bに示すように、1回のトレンチ分離の工程で、メモリーセル領域R<sub>memo</sub>と周辺回路領域R<sub>peri</sub>双方のトレンチ分離を形成できるので、工程数の低減を図ることができる。

【0036】また、図1cに示す工程における溝101

の埋め込み絶縁膜の平坦化時においてもメモリーセル領域R<sub>memo</sub>と周辺回路領域R<sub>peri</sub>とで下地段差がないので、絶縁膜の平坦化が非常に簡単にでき、その後の工程において、基板の平坦性を維持しながら処理を進めることができる。また、周辺回路領域R<sub>peri</sub>にLOCOS分離膜を形成する場合のごとく、LOCOS分離膜の膜減りによる素子分離機能の悪化を招くおそれはないので、平坦化のためのCMP等を制限なく行うことができ、平坦性が特に向上する。

10 【0037】さらに、素子分離用溝101は浮遊ゲート電極112と自己整合的に形成される。図2a、2bは、図1gに示す工程における制御ゲート電極111を取り除いて示す平面図及びゲート長方向に直交する断面（IIb-IIb線に示す断面）における断面図である。つまり、トレンチ分離を形成してから浮遊ゲート電極を形成する場合には、各セル間の浮遊ゲート電極を分離する必要があることから、浮遊ゲート電極形成用のマスクとトレンチ分離形成用のマスクとの位置ずれを考慮したマージンが必要となる。それに対し、本実施形態では、トレンチ分離（絶縁膜31）によって浮遊ゲート電極112が分離される構造となっているために、かかるマスク合わせのためのマージンが不要となるので、メモリーセル領域R<sub>memo</sub>の高密度化を図ることができる。なお、本実施形態の製造工程では、浮遊ゲート電極112と制御ゲート電極111とが、同じレジスト膜54をマスクとして形成されるので、両者を個別に形成する場合に比べ、マスク合わせのためのマージンが不要となり、より高密度化を図ることができる。

30 【0038】よって、本実施形態では、工程数の低減を図りつつ、半導体装置全体の平坦性の向上と高密度化とを図ることができるのである。

【0039】尚、本実施形態では、各ゲート電極の形成に際し、初めに周辺回路領域R<sub>peri</sub>のゲート電極110を形成した後にメモリーセル領域R<sub>memo</sub>の制御ゲート電極111及び浮遊ゲート電極112を形成したが、メモリーセル領域R<sub>memo</sub>の制御ゲート電極111及び浮遊ゲート電極112を先に形成し、その後周辺回路領域R<sub>peri</sub>のゲート電極110を形成してもよい。

40 【0040】（第2の実施形態）次に、第2の実施形態に係る半導体装置の製造方法について説明する。図3a～gは第2の実施形態に係る半導体装置の製造工程を示す断面図である。

【0041】まず、図3aに示す工程で、メモリーセル領域R<sub>memo</sub>と周辺回路領域R<sub>peri</sub>とを有する半導体基板10の全面を酸化して厚みが約10nmのトンネル酸化膜21を形成し、第1の導体膜として厚み200nm程度の多結晶シリコン膜22を堆積する。さらに、多結晶シリコン膜22の上に、多結晶シリコン膜を酸化するかCVDを行うかにより、厚みが約10nmのパッド酸化膜23を形成し、さらに厚み約150nmのシリコン窒

化膜24を形成する。

【0042】次に、図3bに示す工程で、基板上に素子分離を形成しようとする領域を開口したレジスト膜51を形成した後、シリコン窒化膜24、パッド酸化膜23、多結晶シリコン膜22、トンネル酸化膜21及び基板10を順次エッチングし、基板に深さが約300nmの素子分離用の溝101を形成する。

【0043】次に、図3cに示す工程で、レジスト膜51を除去し、基板の全面上に厚みが700nm程度の絶縁膜31を堆積した後、シリコン窒化膜24をストップ

【0044】次に、図3dに示す工程で、シリコン窒化膜24及びパッド酸化膜23を全て除去した後、メモリーセル領域R<sub>memo</sub>を覆うレジスト膜52を形成し、周辺回路領域R<sub>peri</sub>の多結晶シリコン膜22及びトンネル酸化膜21をエッチングにより除去する。

【0045】次に、図3eに示す工程で、基板の全面上に、少なくとも周辺回路領域R<sub>peri</sub>における厚みが約10nmのゲート絶縁膜25と、第2の導体膜としての厚みが約200nmの多結晶シリコン膜26とを順次堆積する。さらに、多結晶シリコン膜26の上に厚みが約100nmのキャップ酸化膜27を堆積する。

【0046】次に、図3fに示す工程で、メモリーセル領域R<sub>memo</sub>の制御ゲート電極を形成しようとする領域と周辺回路領域R<sub>peri</sub>のゲート導体膜を形成しようとする領域とを覆うレジスト膜55を形成し、このレジスト膜55をマスクとしてエッチングを行い、キャップ酸化膜27及び多結晶シリコン膜26を選択的に除去してメモリーセル領域R<sub>memo</sub>の制御ゲート電極111及び周辺回路領域R<sub>peri</sub>のゲート電極110を形成する。

【0047】次に、図3gに示す工程で、周辺回路領域R<sub>peri</sub>を覆いかつメモリーセル領域R<sub>memo</sub>を全て露出させたレジスト膜56を形成し、このレジスト膜56及びキャップ酸化膜27をマスクとしてエッチングを行い、メモリーセル領域R<sub>memo</sub>のゲート絶縁膜25、多結晶シリコン膜22を順次選択的に除去して、メモリーセル領域R<sub>memo</sub>の浮遊ゲート電極112を形成する。

【0048】その後の工程の図示は省略するが、層間絶縁膜の形成、コンタクトホール形成、配線層の形成等を行って、フラッシュメモリーを搭載した半導体装置が完成する。

【0049】本実施形態によっても、第1の実施形態と同様に、工程数の低減を図りつつ、半導体装置全体の平坦性の向上と高密度化とを図ることができる。

【0050】加えて、本実施形態では、図3fに示す工程で、メモリーセル領域R<sub>memo</sub>の制御ゲート電極111と周辺回路領域R<sub>peri</sub>のゲート電極110とを同時に形成するようにしているので、メモリーセル領域R<sub>memo</sub>と

周辺回路領域R<sub>peri</sub>との境界領域での余計なマスク合わせのためのマージンをとる必要がなく、その分だけ更に高密度化を図ることができる。

【0051】(第3の実施形態)次に、第3の実施形態に係る半導体装置の製造方法について説明する。図4a～fは、本実施形態に係る半導体装置の製造工程を示す断面図である。

【0052】まず、図4aに示す工程で、メモリーセル領域R<sub>memo</sub>と周辺回路領域R<sub>peri</sub>とを有する半導体基板10の全面を酸化して厚みが約10nmのトンネル酸化膜21を形成し、第1の導体膜として厚み200nm程度の多結晶シリコン膜22を堆積する。さらに多結晶シリコン膜22の上に、多結晶シリコン膜を酸化するかCVDを行うかにより、厚みが約10nmのパッド酸化膜23を形成し、さらに厚み約150nmのシリコン窒化膜24を形成する。

【0053】次に、図4bに示す工程で、基板上に素子分離を形成しようとする領域を開口したレジスト膜51を形成した後、シリコン窒化膜24、パッド酸化膜23、多結晶シリコン膜22、トンネル酸化膜21及び基板10を順次エッチングし、基板に深さが約300nmの素子分離用の溝101を形成する。

【0054】次に、図4cに示す工程で、レジスト膜51を除去し、基板の全面上に厚みが700nm程度の絶縁膜31を堆積した後、シリコン窒化膜24をストップ

【0055】次に、図4dに示す工程で、シリコン窒化膜24及びパッド酸化膜23を全て除去した後、周辺回路領域R<sub>peri</sub>を露出しかつメモリーセル領域R<sub>memo</sub>の浮遊ゲート電極を形成しようとする領域を覆うレジスト膜57を形成し、このレジスト膜57をマスクとしてエッチングを行い、多結晶シリコン膜22及びトンネル酸化膜21を選択的に除去してメモリーセル領域R<sub>memo</sub>内の浮遊ゲート電極112を先に形成する。

【0056】次に、図4eに示す工程で、基板の全面上に、少なくとも周辺回路領域R<sub>peri</sub>における厚みが約10nmのゲート絶縁膜25と、第2の導体膜としての厚みが約200nmの多結晶シリコン膜26とを順次堆積する。

【0057】次に、図4fに示す工程で、メモリーセル領域R<sub>memo</sub>の制御ゲート電極を形成しようとする領域と周辺回路領域R<sub>peri</sub>のゲート電極を形成しようとする領域とを覆うレジスト膜55を形成し、このレジスト膜55をマスクとしてエッチングを行い、多結晶シリコン膜26を選択的に除去してメモリーセル領域R<sub>memo</sub>の制御ゲート電極111及び周辺回路領域R<sub>peri</sub>のゲート電極110を形成する。このとき、メモリーセル領域R<sub>memo</sub>における制御ゲート電極111の一部は浮遊ゲート電極

## 11

112の上面にあるが、他の一部はゲート絶縁膜25を介して半導体基板10の上にある。

【0058】その後の工程の図示は省略するが、層間絶縁膜の形成、コンタクトホール形成、配線層の形成等を行って、フラッシュメモリーを搭載した半導体装置が完成する。

【0059】本実施形態によっても、第1及び第2の実施形態と同様に、工程数の低減を図りつつ、半導体装置全体の平坦性の向上と高密度化とを図ることができる。

【0060】また、本実施形態では、第2の実施形態と同様に、図4fに示す工程で、メモリーセル領域R<sub>memo</sub>の制御ゲート電極111と周辺回路領域R<sub>peri</sub>のゲート電極110とを同時に形成するようにしているので、メモリーセル領域R<sub>memo</sub>と周辺回路領域R<sub>peri</sub>との境界領域での余計なマスク合わせのためのマージンをとる必要がなく、その分だけ更に高密度化を図ることができる。

【0061】さらに、本実施形態では、浮遊ゲート電極112から半導体基板10に跨る制御ゲート電極111が形成されるので、チャネルホットエレクトロンを利用した浮遊ゲート電極112への電荷の注入が可能となり、フラッシュメモリーの低電圧化によって、半導体装置の高密度化に伴う発熱の弊害を確実に防止できる利点がある。

【0062】尚、第1、第2及び第3の実施形態においてトランジスタやウェル形成用のイオ注入及び熱処理工程については省略したが、これらの工程は周知の技術で行うことができることはいうまでもない。

【0063】(その他の実施形態及び変形形態) 上記第1〜第3の実施形態において、素子分離用溝101の埋め込み絶縁膜31の平坦化はCMPを用いたが、レジストエッチバック法やスピンエッチング法を用いてもよい。この場合、多結晶シリコン膜22がエッチングストップパー膜として機能できる程度に十分な選択比があるならば、パッド酸化膜23及びシリコン窒化膜24は使用しなくともよい。

【0064】上記第1〜第3の実施形態におけるゲート絶縁膜25は、周辺回路領域R<sub>peri</sub>のトランジスタのゲート絶縁膜及びメモリーセル領域R<sub>memo</sub>の浮遊ゲートと制御ゲートの間のゲート絶縁膜として機能し、共通の厚みを有している。ただし、メモリーセル領域R<sub>memo</sub>の制御ゲート電極111と周辺回路領域R<sub>peri</sub>のゲート電極110とは印加電圧等の条件が異なるので、両者を互いに異なる膜厚を有するように形成することもできる。その場合は、以下のような工程を行うことができる。

【0065】まず、図1e、図3e、図4eに示す工程で、ゲート絶縁膜25(第1のゲート絶縁膜)を酸化法もしくはCVD法による堆積で形成した後、メモリーセル領域R<sub>memo</sub>を覆うレジスト膜を形成し、周辺回路領域R<sub>peri</sub>のゲート絶縁膜25の厚みを薄くするかあるいは全厚み分を除去する。その後、全面に、第2のゲート絶

## 12

縁膜を酸化法もしくはCVD法による堆積で形成し、その後第2の電極として多結晶シリコン膜26を堆積すればよい。このような工程により、周辺回路領域R<sub>peri</sub>とメモリーセル領域R<sub>memo</sub>とでは異なる膜厚のゲート絶縁膜を形成することができる。ただし、図1e、図3e、図4eに示す工程において、酸化法によってゲート絶縁膜25を形成する場合には、単結晶シリコンよりも多結晶シリコンの方が酸化の進行が速いので、メモリーセル領域R<sub>memo</sub>におけるゲート絶縁膜25は周辺回路領域R<sub>peri</sub>におけるゲート絶縁膜25よりもかなり厚くなるのが一般的である。したがって、必ずしも上述の工程を行わなくても、メモリーセル領域R<sub>memo</sub>におけるゲート絶縁膜の厚みのみを厚くすることは可能である。

【0066】更には、膜厚の厚い側のゲート絶縁膜をメモリーセル領域R<sub>memo</sub>内のみでなく、周辺回路領域R<sub>peri</sub>での高耐圧用や入出力用のトランジスタに使用してもよい。

【0067】また、上記各実施形態では、第2の導体膜として多結晶シリコン膜を用いたが、多結晶シリコン膜と、金属または金属化合物との積層膜(ポリサイド膜など)としてもよい。

【0068】

【発明の効果】本発明によれば、不揮発性メモリーセルをメモリーセル領域に配置する一方、電界効果型トランジスタを半導体基板の周辺回路領域に配置してなる半導体装置の製造方法として、メモリーセル領域と周辺回路領域とに共通の工程でトレンチを分離を形成し、かつメモリーセル領域における浮遊ゲート電極とトレンチ分離とを自己整合させるようにしたので、全体として高密度化され平坦性の良好な半導体装置を少ない工程で形成するための半導体装置の製造方法の提供を図ることができる。

【図面の簡単な説明】

【図1】第1の実施形態における半導体装置の製造工程を示す断面図である。

【図2】第1の実施形態における半導体装置の浮遊ゲート電極の構造を説明するための平面図及びIIb-IIb線における断面図である。

【図3】第2の実施形態における半導体装置の製造工程を示す断面図である。

【図4】第3の実施形態における半導体装置の製造工程を示す断面図である。

【符号の説明】

10 半導体基板 *substrate*

21 トンネル絶縁膜 *tunnel insulation*

22 多結晶シリコン膜(第1の導体膜) *polycrystalline Si*

23 パッド酸化膜 *pad oxide*

24 シリコン窒化膜 *SiN*

25 ゲート絶縁膜

26 多結晶シリコン膜(第2の導体膜)

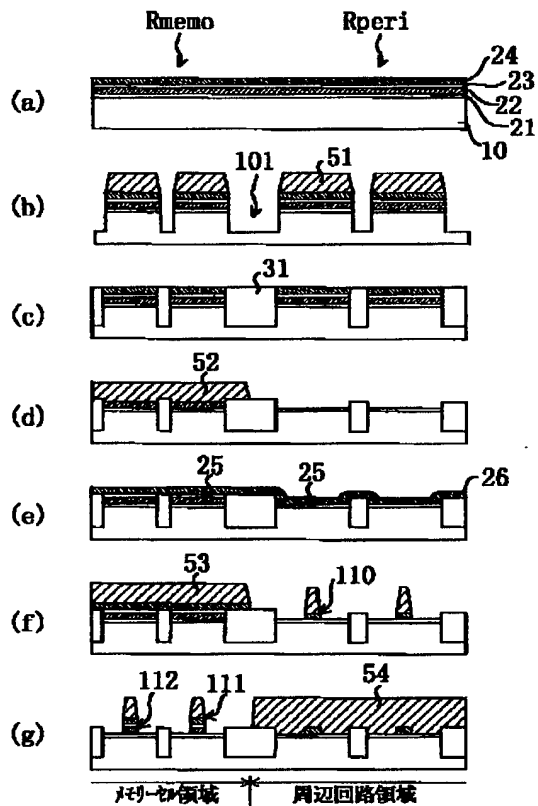
13

14

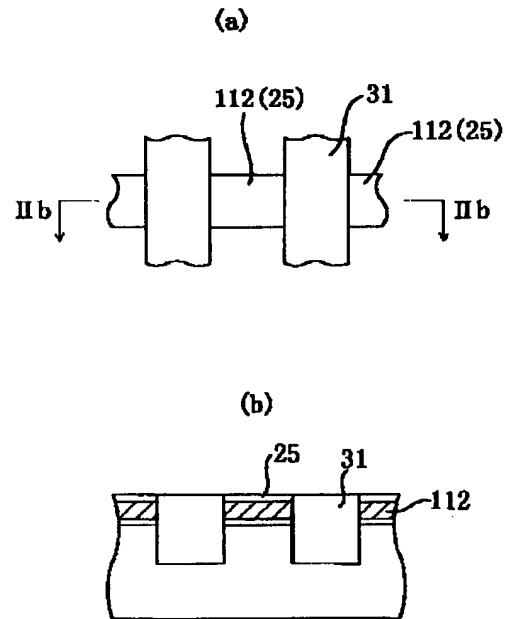
27 キャップ絶縁膜(電極保護膜)  
 31 絶縁膜(トレンチ分離)  
 51~57 レジスト膜  
 101 素子分離用溝

110 ゲート電極  
 111 制御ゲート電極  
 112 浮遊ゲート電極

【図1】

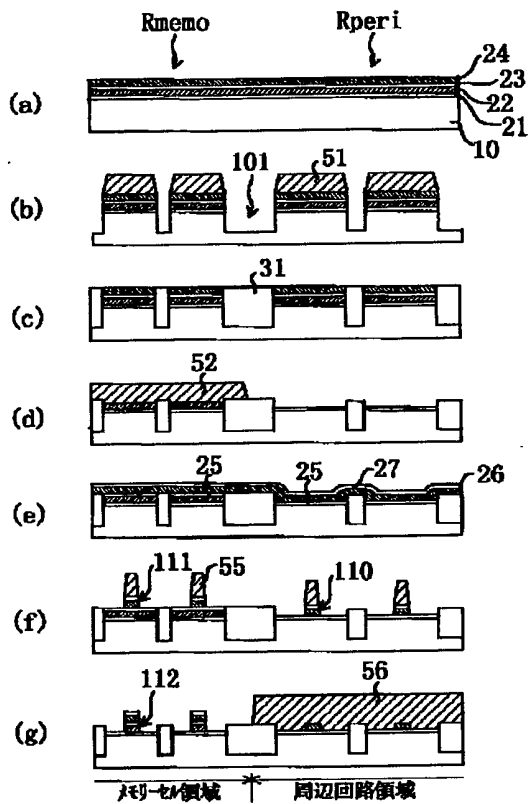


【図2】

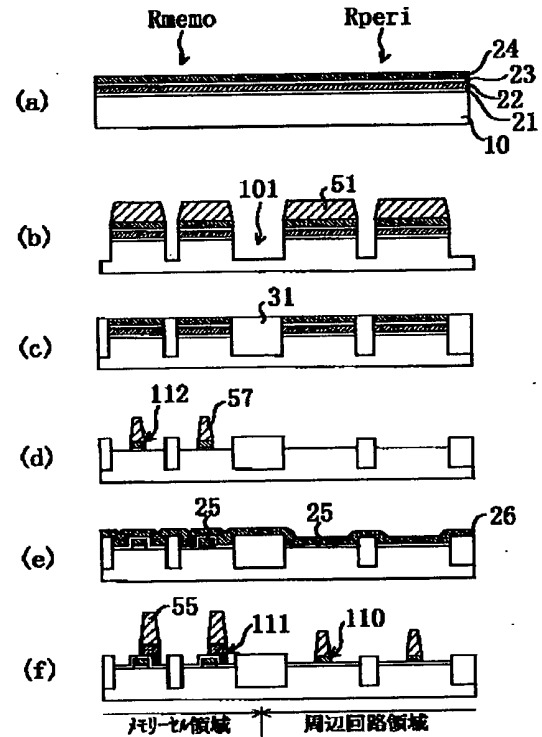




【図3】



【図4】



フロントページの続き

(51)Int. Cl.<sup>6</sup>  
H01L 29/792

識別記号

F I

(72)発明者 受田 高明  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 荒井 雅利  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(72)発明者 森脇 将  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内